

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-128678

(43)Date of publication of application : 16.06.1986

(51)Int.Cl.

H04N 1/21

H04N 1/40

H04N 1/411

(21)Application number : 59-250926

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.11.1984

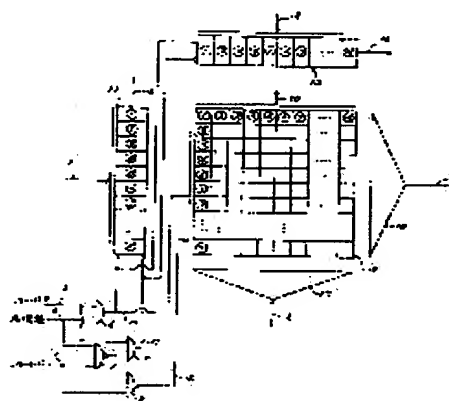
(72)Inventor : ABE SUSUMU

(54) IMAGE INFORMATION PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To carry out an image information processing at high speed by making an access an image information memory means in a main scanning direction or a sub-scanning direction and reading a white line check data before reading the image information to require no access to the white line.

CONSTITUTION: Before writing an image information, contents of an image information memory means and white line check data memory means 13, 15 are reset, and as soon as the image information is recorded in the means 19, a detected black dot is written in the means 13, 15. In an encoding processing thereafter, the contents of the means 13, 15 are read and if a relevant line is the white line, a compression encoding as the white line is done. If a relevant line is not the white line, the image information of one line of the relevant line is read from the means 19. Then, the read one line image information is compressed and encoded and a checking is done on if a sub-scanning address is a final address or not and if it is the final address, a sequential compression encoding processing is finished.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-128678

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)6月16日

H 04 N 1/21
1/40
1/4117136-5C
E-7136-5C
7136-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 画情報処理方式

⑯ 特 願 昭59-250926

⑰ 出 願 昭59(1984)11月28日

⑱ 発 明 者 阿 部 進 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

画情報処理方式

2. 特許請求の範囲

複数ラインの画情報を記憶可能な2次元マトリクス状の画情報記憶手段を有する画情報処理装置において、上記画情報記憶手段への画情報書き込み時に主走査方向および副走査方向の各ラインごとに黒ドットを検出する手段と、検出された該黒ドットを主走査方向および副走査方向の各ラインごとに白ラインチェックデータとして記憶する手段を設け、上記画情報記憶手段を主走査方向あるいは副走査方向にアクセスし画情報を読出す前に、上記白ラインチェックデータを読出すことにより上記画情報記憶手段に記憶されている各ラインが白ラインであるか否かをチェック可能なように構成したことを特徴とする画情報処理方式。

3. 発明の詳細な説明

(虚案上の利用分野)

本発明は、画情報処理方式に関し、特に、複数ラインの画情報を記憶可能な2次元マトリクス状の画情報記憶手段を有する画情報処理装置において、画情報記憶手段からの画情報読出し前に、画情報の白ライン検出を可能にした画情報処理方式に関する。

(従来の技術)

画情報を処理するシステムの1例として、FAX通信システムがある。FAX通信システムは情報伝送の一端として伝送パスあるいは回線を通じて他の情報入出力機器が不得意とする画像情報を容易な操作で送受信するシステムであり、情報処理システムの普及と発展に伴いFAX仕様の標準化および高速化が進められるようになった。

現在高速デジタルFAXはグループ3FAXとして International Telegraph and Telephone Consultative Committee (CCITT) の勧告T. 4によってその画信号における圧縮方式および圧縮符号等に関する規格が定め

特開昭61-128678(2)

られている。また西信号を送受信するための制御手順は同じくCCITTのT. 30に定められている。FAXにおいては、電気信号より画像情報を、同期再生走査によりハードコピーとして再現する。その一走査線の走査時間にハードコピーの走査動作の一部に機構動作を伴うので、例えば5mm/ラインと目ら限界があり、これを一走査線最小伝送時間と定義している。西信号における情報はCCITTのT. 4によって規定される。内容に従い、例えばA4サイズ原稿の一走査線1,728西素に関し、白または黒のランレングスで表わす可変長符号に変換圧縮される。その圧縮情報量はA4サイズ原稿で50~75キロバイト(KB)であり、これを送受FAXの仕様および回線品質に従い2,400/4,800/7,200/9,600ビット毎秒(bps)の伝送速度を選択して送受信することが行われている。

(発明が解決しようとする問題点)

前述した通り画情報は圧縮符号化されて転送

される。画情報メモリに記憶された画情報も圧縮符号化されて転送される。また、圧縮符号化された画情報は画情報メモリにドットパターンの形に復号されて記憶される。この場合、白ラインを含む画情報メモリの各ラインが白ラインか否かを画情報をリードする前にチェックできると画情報メモリの圧縮、画情報メモリへの復号処理を高速に行うことができる。

従来の画情報メモリは画情報のみ扱っていたため白ラインの画情報ラインでも1ライン全ての画情報をリードしなければ白ラインであるとチェックできず画情報メモリのアクセス時間が大きくなるという欠点があった。

(問題点を解決するための手段)

本発明の目的は、従来技術の欠点を解決し、画情報リード前に画情報メモリの各ラインが白ラインであるか否かをチェックできる画情報処理方式を提供することにある。

そしてそのために本発明は、複数ラインの画情報を記憶可能な2次元マトリクス状の画情報

記憶手段を有する画情報処理装置において、上記画情報記憶手段への画情報書き込み時に主走査方向および副走査方向の各ラインごとに黒ドットを検出する手段と、検出された該黒ドットを走査方向および副走査方向の各ラインごとに白ラインチェックデータとして記憶する手段を設け、上記画情報記憶手段を主走査方向あるいは副走査方向にアクセスし画情報を読出す前に、上記白ラインチェックデータを読出すことにより上記画情報記憶手段に記憶されている各ラインが白ラインであるか否かをチェック可能なように構成したことを特徴とする。

(作用)

本発明は、画情報記憶手段への画情報書き込み時に主走査方向および副走査方向の各ラインごとに黒ドットを検出する手段と、検出された該黒ドットを主走査方向および副走査方向の各ラインごとに白ラインチェックデータとして記憶する手段を設け、さらに、該画情報記憶手段を主走査方向あるいは副走査方向にアクセスし画

情報をリードする前に、該白ラインチェックデータをリードするようにしたものである。これにより画情報記憶手段の各ラインが白ラインであるか否かを速やかにチェックできるという効果を得られる。

(実施例)

以下、図面により本発明の1実施例を説明する。第1図は本発明の1実施例の画情報処理装置の要部ブロック図を示す。同図を詳細に説明すると、1は副走査アドレス信号線である。本信号により、図中ライン①~④のうちの1つが選択される。2は主走査アドレス信号線である。本信号により図中ライン①~④のうちの1つが選択される。3はリセット信号線を示しメモリ13, 15, 19をクリアする時"LOW"となる。4は画情報の信号線を示す。本信号線には主走査アドレス信号線2と副走査アドレス信号線1に対応する画情報1ドットが入力される。本信号線は"LOW"で白ドット、"HI"で黒ドットを示す。5はメモリへのライトイネー

特開昭61-128678(3)

ブル線である。6は2入力AND回路でリセット時、出力を強制的に“LOW”にする。7は黒ドット検出手段で2入力NAND回路で構成される。メモリからなる白ラインチェックデータ記憶手段13、15への書き込みは信号線4が黒ドットを示すときのみ可能とする回路である。8は、NOT回路である。

9は2入力AND回路でリセット時、強制的に出力を“LOW”レベルにするための回路である。10はメモリ13、メモリ15、メモリ19への書き込みデータ信号線を示す。11はメモリ13、メモリ15へのライトイネーブル信号線を示す。12はメモリ19へのライトイネーブル信号線を示す。13はメモリを用いて実現した副走査方向の白ラインチェックデータ記憶手段である。書き込みデータはリセット時でなければ信号線4の値がそのまま入力されるが、ライトイネーブル信号線11は画情報が黒ドットの時のみイネーブルとなるため、本回路手段13には黒ドットのみ書き込まれる。画情報を全て

書き込み後、本メモリをリードし出力データ信号14が“LOW”の場合、その副走査アドレスが示すラインは白ラインであることを示す。14は副走査方向の白ラインチェックデータ出力信号線である。15はメモリを用いて実現した主走査方向の白ラインチェックデータ記憶手段である。本メモリへの書き込みタイミングデータは副走査方向の白ラインチェックデータ記憶手段13と同じである。16は主走査方向の白ラインチェックデータ出力信号線である。17は主走査アドレスデコード回路、18は副走査アドレスデコード回路、19は画情報記憶手段を示し、主走査アドレス信号線2と副走査アドレス信号線1で示されるドット位置に、ライトイネーブル信号12がイネーブルのとき、書き込みデータ信号線10の値が書き込まれる。ライトイネーブル信号12がイネーブルでないとき主走査アドレス信号線2と副走査アドレス信号線1で示されるドット位置の値が信号線20へ出力される。20は画情報記憶手段19からの画

情報出力信号線を示す。

また、第2図に画情報メモリに画情報を記憶し圧縮符号化する場合のフローチャートを示す。

以下に実施例の動作を示す。

- (a) まず、画情報の書き込みに先立ち、画情報記憶手段19、および白ラインチェックデータ記憶手段13、15の内容をリセットする。
- (b) 次に、画情報記憶手段19に画情報を記憶すると同時に、白ラインチェックデータ記憶手段13、15へ検出した黒ドットを書き込む。
- (c) その後の符号化処理においては、まず、白ラインチェックデータ記憶手段13、15の内容を読み出す。
- (d) 当該ラインが白ラインであれば、白ラインとして圧縮符号化する。
- (e) 当該ラインが白ラインでなければ、当該1ライン分の画情報を画情報記憶手段19より読み出す。
- (f) 次に、画情報記憶手段19より読み出した1ライン分の画情報の圧縮符号化を行なう。

(g) 上記(e)または(f)の処理の後、副走査アドレスが最終アドレスか否かをチェックする。最終アドレスであれば、一連の圧縮符号化処理は終了する。

(h) 最終アドレスがなければ、副走査アドレスを+1に、再び、上記(e)項からの処理を続けて行なう。

(発明の効果)

本発明によれば、画情報記憶手段からの画情報読み出し前に、画情報の白ライン検出を行なうことができ、当該白ラインに対するアクセスを不要とすることができるので、画情報処理を高速化することができるというすぐれた効果をもたらす。

4. 図面の簡単な説明

第1図は、本発明による1実施例の画情報処理装置の要部ブロック図、第2図は実施例のフローチャートを示す図である。

第1図において、1は副走査アドレス信号線、2は主走査アドレス信号線、3はリセット信号